

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat  
(c) 2003 EPO. All rts. reserv.

8188128

Basic Patent (No,Kind,Date): JP 63186466 A2 19880802 <No. of Patents: 015  
>

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
DE 3856165	C0	19980520	DE 3856165	A	19880128	
DE 3856165	T2	19980827	DE 3856165	A	19880128	
EP 277016	A2	19880803	EP 88300725	A	19880128	
EP 277016	A3	19890906	EP 88300725	A	19880128	
EP 277016	B1	19980415	EP 88300725	A	19880128	
JP 63186466	A2	19880802	JP 8717150	A	19870129	(BASIC)
JP 63278269	A2	19881115	JP 87112290	A	19870511	
JP 63290080	A2	19881128	JP 87123872	A	19870522	
JP 63292669	A2	19881129	JP 87126888	A	19870526	
JP 2533876	B2	19960911	JP 87123872	A	19870522	
JP 95120769	B4	19951220	JP 87126888	A	19870526	
JP 96004131	B4	19960117	JP 8717150	A	19870129	
JP 96004132	B4	19960117	JP 87112290	A	19870511	
<i>can</i> US 4962412	A	19901009	US 470407	A	19900129	
US 5060042	A	19911022	US 548508	A	19900705	

Priority Data (No,Kind,Date):

JP 8717150 A 19870129  
JP 87112290 A 19870511  
JP 87123872 A 19870522  
JP 87126888 A 19870526  
US 149082 B1 19880127  
US 470407 A1 19900129

PATENT FAMILY:

GERMANY (DE)

Patent (No,Kind,Date): DE 3856165 C0 19980520

PHOTOVOLTAISCHER WANDLER (German)

Patent Assignee: CANON KK (JP)

Author (Inventor): SHINOHARA MAHITO (JP); HASHIMOTO SEIJI (JP);  
SUGAWA SHIGETOSHI (JP); MIYAWAKI MAMORU (JP)

Priority (No,Kind,Date): JP 8717150 A 19870129; JP 87112290 A  
19870511; JP 87123872 A 19870522; JP 87126888 A 19870526

Applic (No,Kind,Date): DE 3856165 A 19880128

IPC: \* H04N-003/15; H01L-027/14

Derwent WPI Acc No: \* G 88-214401

JAPIO Reference No: \* 120465E000019; 130106E000114; 130121E000090;  
130123E000108

Language of Document: German

Patent (No,Kind,Date): DE 3856165 T2 19980827

PHOTOVOLTAISCHER WANDLER (German)

Patent Assignee: CANON KK (JP)

Author (Inventor): SHINOHARA MAHITO (JP); HASHIMOTO SEIJI (JP);  
SUGAWA SHIGETOSHI (JP); MIYAWAKI MAMORU (JP)

Priority (No,Kind,Date): JP 8717150 A 19870129; JP 87112290 A  
19870511; JP 87123872 A 19870522; JP 87126888 A 19870526

Applic (No,Kind,Date): DE 3856165 A 19880128

IPC: \* H04N-003/15; H01L-027/14

Derwent WPI Acc No: \* G 88-214401

JAPIO Reference No: \* 120465E000019; 130106E000114; 130121E000090;  
130123E000108

Language of Document: German

EP 277016	P	JP 8717150 A 19870129 19870511 EP AA PRIORITY (PATENT APPLICATION) (PRIORITAET (PATENTANMELDUNG))
EP 277016	P	JP 87112290 A 19870511 19870522 EP AA PRIORITY (PATENT APPLICATION) (PRIORITAET (PATENTANMELDUNG))
EP 277016	P	JP 87123872 A 19870522 19870526 EP AA PRIORITY (PATENT APPLICATION) (PRIORITAET (PATENTANMELDUNG))
EP 277016	P	JP 87126888 A 19870526 19880128 EP AE EP-APPLICATION (EUROPAEISCHE ANMELDUNG)
EP 277016	P	EP 88300725 A 19880128 19880803 EP AK DESIGNATED CONTRACTING STATES IN AN APPLICATION WITHOUT SEARCH REPORT (IN EINER ANMELDUNG OHNE RECHERCHENBERICHT BENANNT VERTRAGSSTAATEN)
EP 277016	P	19880803 EP A2 PUBLICATION OF APPLICATION WITHOUT SEARCH REPORT (VEROEFFENTLICHUNG DER ANMELDUNG OHNE RECHERCHENBERICHT)
EP 277016	P	19890906 EP AK DESIGNATED CONTRACTING STATES IN A SEARCH REPORT (IN EINEM RECHERCHENBERICHT BENANNT VERTRAGSSTAATEN)
EP 277016	P	DE FR GB IT NL 19890906 EP A3 SEPARATE PUBLICATION OF THE SEARCH REPORT (ART. 93) (GESONDERTE VEROEFFENTLICHUNG DES RECHERCHENBERICHTS (ART. 93))
EP 277016	P	19890913 EP RHK1 MAIN CLASSIFICATION (CORRECTION) (HAUPTKLASSIFIKATION (KORR.)) HO4N 3/15
EP 277016	P	19900321 EP 17P REQUEST FOR EXAMINATION FILED (PRUEFUNGSANTRAG GESTELLT) 900124
EP 277016	P	19931208 EP 17Q FIRST EXAMINATION REPORT (ERSTER PRUEFUNGSBESCHIED) 930616
EP 277016	P	19980415 EP AK DESIGNATED CONTRACTING STATES MENTIONED IN A PATENT SPECIFICATION: (IN EINER PATENTSCHRIFT ANGEFUEHRTE BENANNT VERTRAGSSTAATEN) DE FR GB IT NL
EP 277016	P	19980415 EP B1 PATENT SPECIFICATION (PATENTSCHRIFT)
EP 277016	P	19980420 EP ITF IT: TRANSLATION FOR A EP PATENT FILED (IT: DEPOSITO TRADUZIONE DI BREVETTO EUROPEO) SOCIETA' ITALIANA BREVETTI S.P.A.
EP 277016	P	19980520 EP REF CORRESPONDS TO: (ENTSPRICHT) DE 3856165 P 19980520
EP 277016	P	19980904 EP ET FR: TRANSLATION FILED (FR: TRADUCTION A ETE REMISE)
EP 277016	P	19990407 EP 26N NO OPPOSITION FILED (KEIN EINSRUCH EINGELEGT)

Language of Document: Japanese  
 Patent (No,Kind,Date): JP 96004132 B4 19960117  
 Priority (No,Kind,Date): JP 87112290 A 19870511  
 Applic (No,Kind,Date): JP 87112290 A 19870511  
 IPC: \* H01L-027/146  
 Derwent WPI Acc No: \* G 88-214401  
 JAPIO Reference No: \* 130106E000114  
 Language of Document: Japanese

UNITED STATES OF AMERICA (US)

Patent (No,Kind,Date): US 4962412 A 19901009  
 PHOTOELECTRIC CONVERSION APPARATUS WITHOUT ISOLATION REGIONS (English)  
 Patent Assignee: CANON KK (JP)  
 Author (Inventor): SHINOHARA MAHITO (JP); SUGAWA SHIGETOSHI (JP);  
 HASHIMOTO SEIJI (JP); MIYAWAKI MAMORU (JP)  
 Priority (No,Kind,Date): US 149082 B1 19880127; JP 8717150 A  
 19870129; JP 87112290 A 19870511; JP 87123872 A 19870522; JP  
 87126888 A 19870526  
 Applic (No,Kind,Date): US 470407 A 19900129  
 National Class: \* 357030000; 357032000; 357024000  
 IPC: \* H01L-027/14  
 Derwent WPI Acc No: \* G 88-214401  
 JAPIO Reference No: \* 120465E000019; 130106E000114; 130121E000090;  
 130123E000108

Language of Document: English  
 Patent (No,Kind,Date): US 5060042 A 19911022  
 PHOTOELECTRIC CONVERSION APPARATUS WITH RERESH VOLTAGE (English)  
 Patent Assignee: CANON KK (JP)  
 Author (Inventor): SHINOHARA MAHITO (JP); SUGAWA SHIGETOSHI (JP);  
 HASHIMOTO SEIJI (JP); MIYAWAKI MAMORU (JP)  
 Priority (No,Kind,Date): US 470407 A1 19900129; US 149082 B1  
 19880127; JP 8717150 A 19870129; JP 87112290 A 19870511; JP  
 87123872 A 19870522; JP 87126888 A 19870526  
 Applic (No,Kind,Date): US 548508 A 19900705  
 Addnl Info: 4962412 Patented  
 National Class: \* 357030000; 357032000; 357058000; 357024000  
 IPC: \* H04L-027/14  
 Derwent WPI Acc No: \* G 88-214401  
 JAPIO Reference No: \* 120465E000019; 130106E000114; 130121E000090;  
 130123E000108  
 Language of Document: English

UNITED STATES OF AMERICA (US)

Legal Status (No,Type,Date,Code,Text):  

US 4962412	P	19870129	US AA	PRIORITY (PATENT)
			JP 8717150 A	19870129
US 4962412	P	19870511	US AA	PRIORITY (PATENT)
			JP 87112290 A	19870511
US 4962412	P	19870522	US AA	PRIORITY (PATENT)
			JP 87123872 A	19870522
US 4962412	P	19870526	US AA	PRIORITY (PATENT)
			JP 87126888 A	19870526
US 4962412	P	19880127	US AA	PRIORITY
			US 149082 B1	19880127
US 4962412	P	19900129	US AE	APPLICATION DATA (PATENT)
			(APPL. DATA (PATENT))	
			US 470407 A	19900129
US 4962412	P	19901009	US A	PATENT
US 4962412	P	19930223	US CC	CERTIFICATE OF CORRECTION
US 5060042	P	19870129	US AA	PRIORITY (PATENT)

**PATENT ABSTRACTS OF JAPAN**

(11)Publication number : 63-186466 *or 08-004131 B2*  
(43)Date of publication of application : 02.08.1988 *or 96-004131*

---

(51)Int.Cl.

H01L 27/14  
H04N 5/335

---

(21)Application number : 62-017150

(71)Applicant : CANON INC

(22)Date of filing : 29.01.1987

(72)Inventor : SHINOHARA MASATO

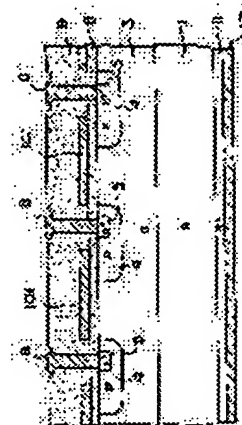
---

**(54) PHOTOELECTRIC CONVERSION DEVICE**

**(57)Abstract:**

**PURPOSE:** To dissolve the matter of persistence, and improve the linearity of photoelectric conversion characteristics, by arranging a plurality of photoelectric conversion cells having semiconductor regions storing carrier generated by photo excitation, applying the above semiconductor regions of neighboring photoelectric conversion cells to the respective main electrode regions, and constituting an insulated gate type transistor.

**CONSTITUTION:** A plurality of photoelectric conversion cells having semiconductor regions 4 storing carrier generated by photo excitation are arranged, and semiconductor regions 4 of neighboring photoelectric conversion cells are applied to the respective main electrode regions to constitute an insulated gate type transistor. For example, p-base regions 4 of the photoelectric conversion cell are formed in a collector n- region 3 at constant intervals, and an n+ emitter region 5 is formed in each of the p-base regions 4. Electrodes 101 are formed on each p-base region 4 and between neighbouring p-base regions 4 in the manner in which an oxide film 6 is sandwiched. The electrode 101 on the p-base region 4 constitutes a capacitor to control the base potential by facing the p-base region 4. The electrode 101 between the bases constitutes the gate electrode of a MOS transistor in which the neighboring p-base regions 4 are applied to the respective source drain regions.



(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許出願公告番号

特公平8-4131

(24) (44) 公告日 平成8年(1996)1月17日

(51) Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/146

H 0 1 L 27/14

A

発明の数1 (全 8 頁)

(21) 出願番号 特願昭62-17150

(22) 出願日 昭和62年(1987)1月29日

(65) 公開番号 特開昭63-186466

(43) 公開日 昭和63年(1988)8月2日

(71) 出願人 999999999

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 徳原 真人

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(74) 代理人 弁理士 山下 雅平

審査官 松本 邦夫

(56) 参考文献 特開 昭61-154353 (J P, A)

特開 昭60-251657 (J P, A)

特開 昭54-105917 (J P, A)

(54) 【発明の名称】 光電変換装置

【特許請求の範囲】

【請求項1】 光励起により発生したキャリアを蓄積する半導体領域を有する光電変換セルが複数個配列され、かつ、隣接する光電変換セルの前記半導体領域を各々主電極領域として絶縁ゲート型トランジスタが構成されており、該絶縁ゲート型トランジスタのゲートに第1の電位を印加することにより該絶縁ゲート型トランジスタをオンさせて前記複数の光電変換セルの半導体領域の信号をリセットし、前記絶縁ゲート型トランジスタのゲートに第2の電位を印加することにより該絶縁ゲート型トランジスタをオフさせて前記複数の光電変換セルの半導体領域を分離するように制御することを特徴とする光電変換装置。

【発明の詳細な説明】

【産業上の利用分野】

本発明は、光励起により発生したキャリアを蓄積する方式の光電変換装置に関する。

【従来技術】

第6図(A)は、特開昭60-12759号公報〜特開昭60-12765号公報に記載されている光電変換装置の概略的断面図、第6図(B)は、その1個の光電変換セルの等価回路図である。

両図において、nシリコン基板1上に光電変換セルが形成され配列されており、各光電変換セルはSiO<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>、又はポリシリコン等より成る素子分離領域2によって隣接する光電変換セルから電気的に絶縁されている。

各光電変換セルは次のような構成を有する。

エピタキシャル技術等で形成される不純物濃度の低いn<sup>+</sup>領域3上にはpタイプの不純物をドーピングすることでp領域4が形成され、p領域4には不純物拡散技術又

間のpベース領域4は電気的に分離された状態となり、従来のような素子分離領域を形成する必要がない。それだけ素子の微細化に有利となる。

逆に、電極101がしきい値電位 $V_{th}$ を超える負電位であると、MOSトランジスタ $T_r$ はON状態となり、各セルのpベース領域4が相互に導通した状態となる。

第2図は、本実施例の部分的な等価回路図である。図中の破線で囲まれた部分が1個の光電変換セルの等価回路に相当する。

同図において、上記光電変換セル $S_1 \sim S_n$ がライン状に配列され結線されている。

各セルの電極101は端子102に共通接続され、端子102にはパルス $\phi_d$ が入力する。

また、各セルのMOSトランジスタ $T_r$ は直列接続された状態となり、末端セル $S_n$ および $S_n$ のpベース領域4には更に一定距離をおいて各々p領域(図示せず。)が形成され、セル $S_n$ の側にはpチャネル型かつノーマリオフ型のMOSトランジスタ $Q_x$ が形成されている。

MOSトランジスタ $Q_x$ のゲート電極には電極101と同様のパルス $\phi_d$ が入力し、その図示されていないp領域は一定電位 $V_c$ に固定されている。また、セル $S_1$ のMOSトランジスタ $T_r$ の図示されていないp領域も一定電位 $V_c$ に固定されている。

したがって、すべてのMOSトランジスタ $T_r$ および $Q_x$ がON状態になることで、各セルのpベース領域4の電位を一定電位 $V_c$ に設定することができる。また、OFF状態であれば、各セルは電気的に分離された状態となる。

各セルのエミッタ電極8はリセット用トランジスタ $Q_b$ ： $\sim Q_{bn}$ を介して接地され、トランジスタ $Q_{b1} \sim Q_{bn}$ のゲート電極には共通にパルス $\phi_r$ が入力する。

なお、コレクタ電極12には正電圧 $V_{cc}$ が印加されている。

次に、本実施例の動作を説明する。

第3図(A)～(C)は、各々本実施例の駆動例を示すタイミングチャートである。

第3図(A)に示す駆動例について説明する。

同図において、一定電位 $V_c$ を接地電位とし、各セルのpベース領域4には蓄積動作によってキャリアが蓄積されているものとする。

まず、パルス $\phi_d$ が立上がり、各セルの電極101に正電圧を印加する(期間 $T_1$ )。この時、パルス $\phi_r$ はローレベルであるからトランジスタ $Q_{b1} \sim Q_{bn}$ はOFFであり各セルのエミッタ電極8は浮遊状態にある。また電極101が正電位であるからMOSトランジスタ $T_r$ はOFFである。したがって、キャパシタ $C_{ox}$ を介してpベース領域4の電位が上昇し、既に述べた読出し動作が行われる。

次に、パルス $\phi_r$ をハイレベルにしてトランジスタ $Q_{b1} \sim Q_{bn}$ をON状態とし、各セルのエミッタ電極8を接地する。

続いて、パルス $\phi_d$ が負電位へ立下がることによ

て、各セルのMOSトランジスタ $T_r$ および $Q_x$ がON状態となり、すべてのpベース領域4にわたって導通状態となる。これによって、期間 $T_2$ においてベース電位は蓄積電位に関係なく均一に接地電位 $V_c$ に設定される。

期間 $T_2$ が経過してパルス $\phi_d$ が接地電位へ立上ると、ベース電位は容量分割された電位だけ上昇し正電位となる。

このために、期間 $T_3$ においてpベース領域4に蓄積されたキャリアが消滅していくが、このリフレッシュ動作ではベース電位が負電位の初期状態(ベース・エミッタ間の逆バイアス状態)とはならない。続いて、パルス $\phi_d$ が正電位に立上ることによってリフレッシュ動作が行われる。そして期間 $T_4$ が経過してパルス $\phi_d$ が立下がった時に、ベース電位は負電位の初期状態に復帰する。以下、蓄積動作が開始され、上記各動作が繰り返される。

このように、パルス $\phi_d$ によってMOSトランジスタ $T_r$ をON状態としベース電位を一定電位 $V_c$ に設定し、それから期間 $T_3$ および $T_4$ でのリフレッシュ動作を行うために、リフレッシュ後のベース電位は、リフレッシュ前の電位に関係なく確実に一定レベルすることができる。

また、期間 $T_2$ 以外では、各セルのMOSトランジスタ $T_r$ はOFF状態であるから、各セルの電気的分離が実現されている。すなわち、従来のように素子分離領域を形成することなく、セルの電気的分離を達成でき、セルの微細化を促進できる。

第3図(B)に示す駆動例では、 $V_c$ を負電圧に固定し、リフレッシュパルスを印加しない駆動方式を示す。すなわち、期間 $T_2$ においてパルス $\phi_d$ を負電位にすることで、MOSトランジスタ $T_r$ を導通させ、ベース電位を負電位 $V_c$ の初期状態に設定する。このためにリフレッシュパルスを印加することなく、蓄積動作を開始することができる。

第3図(C)に示す駆動例は、フォトリソトランジスタ動作によって出力を得る方式であり、ラインセンサに好適なものである。

まず、 $V_c$ を接地電位に固定しておき、パルス $\phi_d$ を負電位にすることでMOSトランジスタ $T_r$ を導通させ、ベース電位を接地電位とする。そしてパルス $\phi_d$ が接地電位に立上ることによってベース電位は正電位に上昇する。そして、パルス $\phi_d$ によってエミッタ電極8が接地されている間にリフレッシュ動作を行ない、パルス $\phi_r$ の立下がりによりエミッタ電極8が浮遊状態にされると同時に、蓄積および読出し動作が開始される。

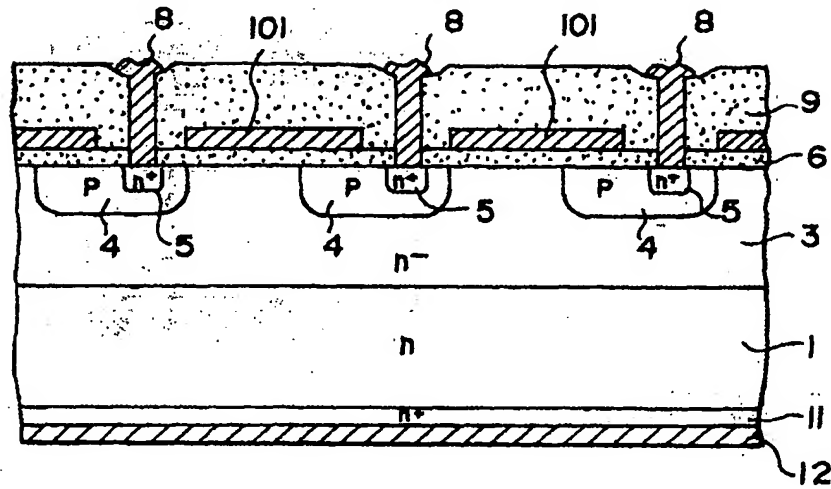
第4図は、本発明の第2実施例の略略回路図である。

本実施例は、第2図に示すラインセンサを $m$ ライン重ねた構成を有する $m \times n$ エリアセンサである。ただし、各ラインは第1図に示す構造を有するが、ライン間は通常の素子分離領域を形成して電気的に分離している。

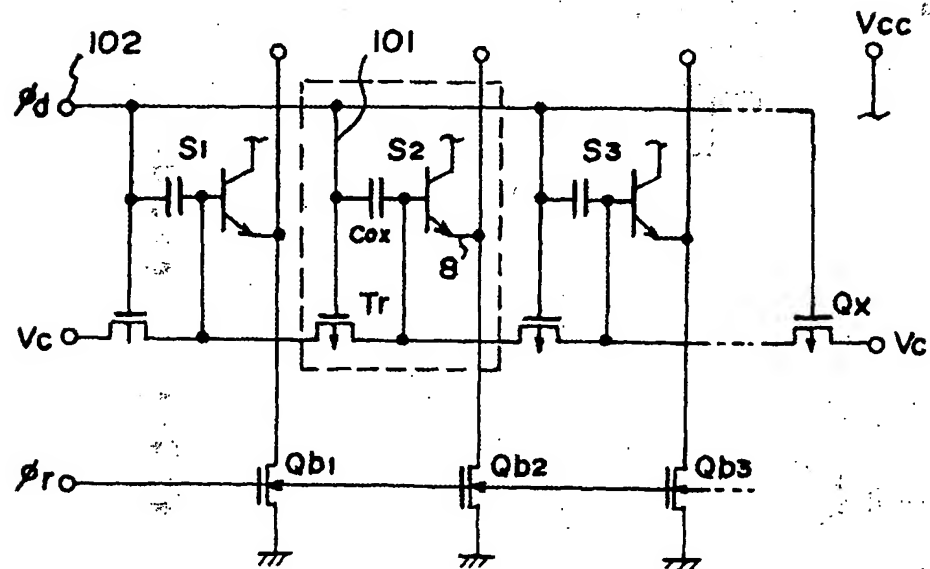
7.....キャパシタ電極  
8.....エミッタ電極

12.....コレクタ電極  
101.....電極

【第1図】



【第2図】



【第4図】

